

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-119698

(43)Date of publication of application : 30.04.1999

(51)Int.Cl. G09F 9/33
G09G 3/32

(21)Application number : 09-287284

(71)Applicant : NEC CORP

(22)Date of filing : 20.10.1997

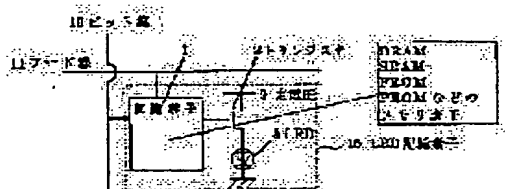
(72)Inventor : NAKAMURA AKIRA

(54) LED PANEL WITH BUILT-IN VRAM FUNCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an LED panel with a built-in VRAM function which eliminates the need for VRAM and a display controller, contributes to reduce a cost in a whole system and an area and increases a plotting speed.

SOLUTION: An LED 3 selected from an external system through a bit line 10 and a word line 11 is able to write data to a storage element 1. Since the data written in the storage element 1 are drawn out to the outside and are connected to the base or the gate of a transistor 2 (a PNP bipolar transistor or an n-type MOS FET (enhancement) is assumed in order to make a characteristic to switch ON with '1' and switch OFF with '0' have), the light emission- switching of the LED 3 is performed in accordance with the voltage deviation of the data written in this storage element 1.



LEGAL STATUS

[Date of request for examination] 20.10.1997

[Date of sending the examiner's decision of rejection] 28.03.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

This Page Blank (uspto)

Japanese Publication for Unexamined Patent Application
No. 119698/1999 (Tokukaihei 11-119698)

(A) Relevance to claim

This document has relevance to claim 1 of the present application.

(B) Translation of the Relevant Passages of the Document

[WHAT IS CLAIMED IS]

[CLAIM 1]

An LED panel with a built-in VRAM function comprising:

an input address port which serves as an address or an input port of an address control signal;

a row address decoder for decoding a row address with respect to the address or the address control signal inputted to the address port;

a column address decoder for decoding a column address with respect to the address or the address control signal inputted to the address port;

LED memory cell arrays, each of the LED memory cell arrays being surrounded by a decoder line of the row address decoder and a decoder line of the column address decoder in a grid manner; and

an input/output buffer whose buffer direction is controlled in accordance with a writing or reading

This Page Blank (uspto)

control signal with respect to a data port.

[CLAIM 2]

The LED panel with a built-in VRAM function as set forth in claim 1, wherein the LED memory cell arrays are cell arrays, a number of the cell arrays being equal to $M \times N$ (M , N are arbitrary natural numbers) of a single LED element.

[DESCRIPTION OF EMBODIMENT]

The LED panel with a built-in VRAM function is arranged as follows. The row address decoder 5 for decoding the row address and the column address decoder 6 for decoding the column address are provided with respect to the address/address control signal 12 that has been inputted to the address port 4 in FIG. 3, and both decoder lines are provided in a grid manner. The LED memory array 7 corresponds to an intersected portion of both decoders, and the input/output buffer 8 whose buffer direction is controlled in accordance with the writing or reading control signal 13 with respect to the data port is provided.

This Page Blank (uspto)

(10) 日本国特許庁 (F)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-119698

(13) 公開日 平成11年(1999)4月30日

(5) Int. Cl.	G 08 F 9/33	G 08 G 3/32
(6) Int. Cl.	G 08 F 9/33	G 08 G 3/32

R

A

審査請求 有 請求項の数 6 OL (全 4 頁)

(21) 出願番号 特願平9-297264

(71) 出願人 000004257
日本電気株式会社

(22) 出願日 平成9年(1997)10月20日

(72) 発明者 中村 彰
東京都港区芝五丁目7番1号
株式会社内 東京港区芝五丁目7番1号 日本電気株式会社内

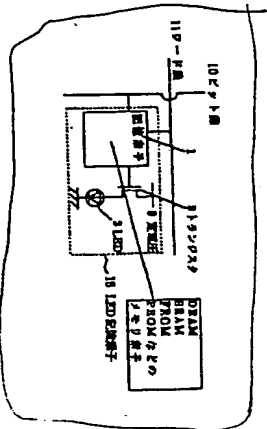
(73) 代理人 弁護士 岩井 忠 (外4名)

(54) [発明の名称] VRAM領域内蔵のLEDパネル

(67) [要約]

[要約] VRAMや表示コントローラが不要でシステム全体でロウコンスト、面情報外に供給し、描画が高速になるVRAM領域内蔵のLEDパネルを提供する。

[解決手段] 外部システムからデータ第10、データ第11で選択されたLED3に供給し、まず記憶素子1にデータを外に引き出し、これをラジスタ(“1”でスイッチOn、“0”でスイッチOffする特性をもたせるためPNP型バイポーラトランジスタあるいはN型MOSFET(エミッタメント)を指定する)2のベースあるいはゲートに供給されているため、この記憶素子1内で書き込まれたデータの電圧変動によるLED3の発光スイッチングを行う。



[発明の詳細な説明]

[請求項1] データバス又はアドレス制御信号の入力ポートとしての入力ポートと、前記データバス又はアドレス制御信号に対して、ロウアドレスをデコードするロウデコード部と、カラムアドレスをデコードするカラムデコード部と、前記ロウデコード部と、前記カラムデコード部のデコード結果に基づきアドレス指定されたLEDメモリセルと、前記アドレス指定されたLEDメモリセルの書き込み又は読み込み制御信号により、パワーステアリング方向制御される出力ポートとから構成される、VRAM領域内蔵のLEDパネル。

[請求項2] 前記LEDメモリセルは、LEDの1素子のMxN分(M、Nは任意の自然数)のセルレイアウトから構成される、請求項1に記載のVRAM領域内蔵のLEDパネル。

[請求項3] 前記LEDメモリセルは、前記格子上状配置の交点に前記LEDの1素子が対応して配置されたLEDメモリセルレイアウトである請求項2に記載のVRAM領域内蔵のLEDパネル。

[請求項4] 前記LEDの1素子は、LEDと記憶素子とをラジスタとから構成される請求項2又は請求項3に記載のVRAM領域内蔵のLEDパネル。

[請求項5] 前記ラジスタは、前記記憶素子に格納されているデータ値で反転するスイッチング回路である請求項4に記載のVRAM領域内蔵のLEDパネル。

[請求項6] 前記ラジスタは、PNP型バイポーラトランジスタ又はN型MOSFETである請求項5に記載のVRAM領域内蔵のLEDパネル。

[発明の詳細な説明]
[0001] 従来の技術 コンピュータのグラフィックス等の画像データ処理及び表示機能を有するVRAM領域内蔵のLEDパネルに関する。

[0002] [従来の技術] グラフィックス等のパネル表示装置において、VRAMとは独立してRAMを配し、表示コントローラがVRAMから表示用データを読み出し、表示コントローラがVRAMから表示用データを読み出し、表示コントローラがVRAMへの直接アクセスを制御して高速化を行い、常に表示コントローラを介して画像データの書き込みを行っている。

[0003] [発明が解決しようとする課題] 上述の従来技術には以下の問題点がある。

[0004] 第1の問題点は、Vsync前に新たな画像データを更新するため、VRAMから画像データを定期的に読み込む作業が発生し、描画時間を圧迫し性能低下させてしまう。

(2)

[0005] その理由は、描画データと表示データをVsync毎に一致させるため、常に描画データを供給しているVRAMから最新画像を読み出すことが必要である。この時間分描画性能低下につながるためである。

[0006] 第2の問題点は、表示データ専用表示コントローラを開発する必要があり、コスト高につながる。

[0007] その理由は、表示データ毎に供給が異なる、特に液晶パネルでは駆動回路が異なるため、フレキシブルな表示回路を必要とするため、コストアップとなるためである。

[0008] 本発明の目的は、VRAMや表示コントローラが不要でシステム全体でロウコンスト、面情報外に供給し、描画が高速になるVRAM領域内蔵のLEDパネルを提供することにある。

[0009] [課題を解決するための手段] 本発明のVRAM領域内蔵のLEDパネルは、アドレス又はアドレス制御信号の入力ポートとしての入力ポートと、前記データバス又はアドレス制御信号に対して、ロウアドレスをデコードするロウデコード部と、カラムアドレスをデコードするカラムデコード部と、前記ロウデコード部と、前記カラムデコード部のデコード結果に基づきアドレス指定されたLEDメモリセルと、前記アドレス指定されたLEDメモリセルの書き込み又は読み込み制御信号により、パワーステアリング方向制御される出力ポートとから構成される。

[0010] また、LEDメモリセルは、LEDの1素子のMxN分(M、Nは任意の自然数)のセルレイアウトから構成される。

[0011] また、LEDメモリセルは、格子上状配置の交点にLEDの1素子が対応して配置されたLEDメモリセルレイアウトである。

[0012] また、LEDの1素子は、LEDと記憶素子とをラジスタとから構成される。

[0013] また、ラジスタは、前記記憶素子に格納されているデータ値で反転するスイッチング回路であってよい。

[0014] また、ラジスタは、PNP型バイポーラトランジスタ又はN型MOSFETであってよい。

[0015] 即ち、本発明は、以上の構成により、DRAMと同じ構成になるため、ベリタブルメモリとして、表示パネルに用いることができる。

[0016] 又、表示用コントローラからの表示リフレッシュが不要となり、性能向上に寄与する。

[0017] さらに、表示パネル用表示回路が不要になるため、コストアップの恐れがある。

[0018] 従って記憶素子は、DRAMのメモリセル構成をとることによってDRAMと同じアクセス動作が可能になる。

